

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-321600

(43)Date of publication of application : 12.12.1997

(51)Int.Cl.

H03K 19/00

(21)Application number : 08-156025

(71)Applicant : NIPPON TELEGR & TELEPH CORP <NTT>

(22)Date of filing : 28.05.1996

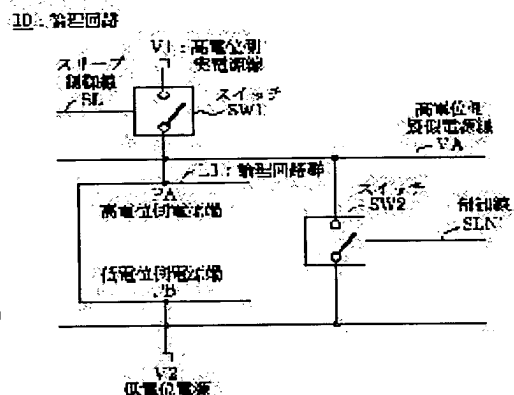
(72)Inventor : MUTO SHINICHIRO
DOUSEKI TAKAKUNI

(54) LOGIC CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the power consumption in a 2nd logic circuit by changing rapidly the level of a pseudo power supply line when transition of a current supply period for a logic circuit group to a current supply stop period is made.

SOLUTION: A switch SW1 is controlled to be nonconductive with a sleep control signal via a sleep control line SL for a period (sleep state) when a logic circuit group L1 makes no logic operation and no power is supplied to a logic circuit group L1. Thus, the production of a leakage current in the logic circuit group L1 is suppressed. In this case, a switch SW2 is conductive through a sleep control line SLN', and since the charge stored in a power terminal PA at a high level is discharged via the switch SW2 just after the logic circuit group L1 enters the sleep state, the level of the power terminal PA at the high level is quickly lowered to the level of a low voltage power supply V2. The logic gate output level in the logic circuit group L1 reaches the low power V2 level quickly following the reduction.



LEGAL STATUS

[Date of request for examination] 09.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3341805

[Date of registration] 23.08.2002

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

LOGIC CIRCUIT

Patent Number: JP9321600
Publication date: 1997-12-12
Inventor(s): MUTO SHINICHIRO; DOUSEKI TAKAKUNI
Applicant(s): NIPPON TELEGR & TELEPH CORP <NTT>
Requested Patent: JP9321600
Application Number: JP19960156025 19960528
Priority Number(s):
IPC Classification: H03K19/00
EC Classification:
Equivalents: JP3341805B2

Abstract

PROBLEM TO BE SOLVED: To reduce the power consumption in a 2nd logic circuit by changing rapidly the level of a pseudo power supply line when transition of a current supply period for a logic circuit group to a current supply stop period is made.

SOLUTION: A switch SW1 is controlled to be nonconductive with a sleep control signal via a sleep control line SL for a period (sleep state) when a logic circuit group L1 makes no logic operation and no power is supplied to a logic circuit group L1. Thus, the production of a leakage current in the logic circuit group L1 is suppressed. In this case, a switch SW2 is conductive through a sleep control line SLN', and since the charge stored in a power terminal PA at a high level of the logic circuit group L1 is discharged via the switch SW2 just after the logic circuit group L1 enters the sleep state, the level of the power terminal PA at the high level is quickly lowered to the level of a low voltage power supply V2. The logic gate output level in the logic circuit group L1 reaches the low power V2 level quickly following the reduction.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-321600

(43) 公開日 平成9年(1997)12月12日

(51) Int.Cl.⁸

H 0 3 K 19/00

識別記号

庁内整理番号

F I

H 0 3 K 19/00

技術表示箇所

A

審査請求 未請求 請求項の数 5 F D (全 14 頁)

(21) 出願番号

特願平8-156025

(22) 出願日

平成8年(1996)5月28日

(71) 出願人 000004226

日本電信電話株式会社

東京都新宿区西新宿三丁目19番2号

(72) 発明者 武藤 伸一郎

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(72) 発明者 道関 隆国

東京都新宿区西新宿三丁目19番2号 日本

電信電話株式会社内

(74) 代理人 弁理士 川久保 新一

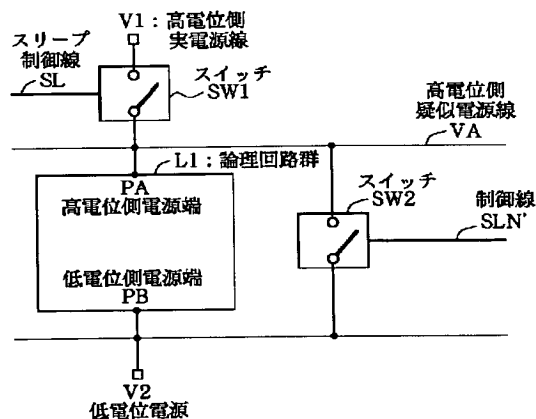
(54) 【発明の名称】 論理回路

(57) 【要約】

【課題】 1つ目の論理回路の出力端が2つ目の論理回路の入力端に接続され、両論理回路の電源供給が制御され、上記1つ目の論理回路への電源供給が停止しされ、上記2つ目の論理回路に電源が供給されているときに、上記2つ目の論理回路における消費電力を少なくすることができる論理回路を提供することを目的とするものである。

【解決手段】 トランジスタによって構成されている論理回路群への電流供給期間から、電流供給停止期間に移行する際に、疑似電源線の電位を急速に変化させる（疑似電源線に充電されている電荷を強制的に放電させ、または疑似電源線を強制的に充電させる）ことによって、論理回路群に含まれている論理ゲートの出力電位を高速に変化させるものである。

10: 論理回路



【特許請求の範囲】

【請求項1】 トランジスタによって構成されている論理回路群と電源線との間に、高閾値電圧トランジスタと疑似電源線とが設けられている論理回路において、上記論理回路群への電流供給期間から、電流供給停止期間に移行する際に、上記疑似電源線の電位を急速に変化させることを特徴とする論理回路。

【請求項2】 第1のレベルを具備する第1の電源と；トランジスタによって構成されている論理回路群と；上記第1の電源と上記論理回路群の第1の電源端との間に接続されている第1のスイッチと；上記論理回路群の第2の電源端に接続され、第2のレベルを具備する第2の電源と；上記論理回路群と並列に接続されている第2のスイッチと；を有することを特徴とする論理回路。

【請求項3】 請求項2において、上記第1のスイッチが開いている状態では、上記第2のスイッチが閉じ、上記第1のスイッチが閉じている状態では、上記第2のスイッチが開くように制御されることを特徴とする論理回路。

【請求項4】 請求項2または請求項3において、上記第1のスイッチは、第1のトランジスタで構成され、上記第2のスイッチは、第2のトランジスタで構成されていることを特徴とする論理回路。

【請求項5】 請求項4において、上記第1のトランジスタは、高閾値電圧のトランジスタであり、上記第2のトランジスタと上記論理回路群とは、上記第1のトランジスタの閾値電圧よりも低い閾値電圧のトランジスタで構成されていることを特徴とする論理回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源供給／供給中断が制御される論理回路に係り、特に、電源供給状態から供給中断状態に至る過程における電力消費を低減することができる論理回路に関する。

【0002】

【従来の技術】近年、各種電子機器の小型化携帯化の要求に応えるために、集積回路の低電圧動作化が進められている。そのための技術の一例として、電子情報通信学会春季全国大会論文草稿集に、MTCMOS (Multi-Threshold-Voltage CMOS) 回路が記載されている。

【0003】図9は、従来のMTCMOS回路110を示す回路図である。

【0004】MTCMOS回路110は、論理回路群L1とP-ch高閾値電圧のトランジスタQAとで構成され、CMOSで構成される論理回路群L1がスタンバイしているときに、論理回路群L1における消費電力の増大を阻止することができる回路である。

【0005】論理回路群L1は、論理ゲートG1等を単一または複数個有する論理回路であり、論理ゲートG1

は、低閾値電圧のP-chMOSトランジスタQ1と、低閾値電圧のN-chMOSトランジスタQ2とによって構成されている。論理回路群L1における複数の論理ゲートG1の各高電位側が共通化され、また、各低電位側の電源端子が共通化され、低電位側の電源端子は、低電位電源V2に直接接続されているが、高電位側の電源端は、疑似電源線VAに接続されている。

【0006】P-chトランジスタQAは、上記低閾値電圧よりも高い高閾値電圧を有するトランジスタであり、疑似電源VAと高電位側の実電源線V1との間に接続され、トランジスタQAのゲート端子はスリープ制御線SLに接続されている。

【0007】次に、MTCMOS回路110の動作について説明する。

【0008】一般に、トランジスタの閾値電圧を下げるとリーク電流阻止能力が低下し、スタンバイ時の消費電力が増大する。すなわち、CMOSトランジスタがオフ状態時にソースドレイン間にリーク電流が流れ、スタンバイ時の消費電力が増大する。ところが、MTCMOS回路110においては、スリープ制御と呼ぶパワーマネジメント機能を導入することによって、スタンバイ時の消費電力の増大を阻止している。

【0009】つまり、論理回路群L1の通常動作時（アクティブ時）には、スリープ制御線SLを低電位に設定し、これによって、高閾値電圧のトランジスタQAが導通し、疑似電源線VAが実電源線V1と同等に電源線として働き、論理回路群L1に電力を供給する。この疑似電源VAと低電位電源V2との間に接続されている論理回路群L1は、低閾値電圧のトランジスタで構成されているので、電源電圧を1V近辺と非常に低くしても、高速に動作する。

【0010】一方、論理回路L1を動作させない時（スタンバイ時）には、その論理回路群L1をスリープ状態にする。具体的には、スリープ制御線SLを高電位にし、高閾値電圧のトランジスタQAを遮断状態にする。これによって、実電源線V1と低電位電源V2との間に、遮断された高閾値電圧のトランジスタQAが入り、論理回路群L1におけるリーク電流の発生を抑える。論理回路群L1において、たとえ低閾値トランジスタQ1、Q2が使用されていても、トランジスタQ1、Q2に大きなリーク電流が流れることはなく、スタンバイ時にも非常に低電力な特性を実現することができる。

【0011】図10は、MTCMOS回路110において、論理回路L1がアクティブ状態からスリープ状態に移行するときにおける疑似電源線VAの電位変化を示す図である。

【0012】スリープ制御線SLが低電位から高電位に変化すると、P-ch高閾値電圧のトランジスタQAが遮断状態になり、論理回路群L1がスリープ状態に移行する。低閾値電圧MOSトランジスタQ1、Q2による

リーク電流によって、疑似電源線VAに蓄えられた電荷が引き抜かれるので、疑似電源線VAの電位が徐々に低下する。疑似電源線VAの等価容量をCとし、高電位側実電源線V1の電位を v_1 とし、低電位側電源V2の電圧を v_2 とし、低閾値電圧MOSトランジスタQ1、Q2のオフリーク電流の総和を I_{leak} とすると、疑似電源線VAの電位が低電位電源V2のレベル v_2 になるまでに要する時間Tは、

$$T = C(v_1 - v_2) / I_{leak}$$

で表される。

【0013】ここで、疑似電源線VAの等価容量Cは、各トランジスタのソース、ドレイン容量等で構成されているので、大きい値の容量である。また、トランジスタのオフリーク電流は、閾値電圧が低いので、比較的大きな電流であるが、トランジスタのオン電流に比べれば、数桁小さい値である。したがって、遷移時間Tは、比較的大きな値をとる。たとえば、 $0.5\mu m$ プロセスで試作した集積回路の測定によれば、疑似電源線VAの電位が低電位電源V2のレベル v_2 になるまでに要する時間Tの値は、数十マイクロ秒から数百マイクロ秒程度になる。

【0014】

【発明が解決しようとする課題】図11は、従来のMTCMOS110aを示す図である。

【0015】MTCMOS110aは、MTCMOS111とMTCMOS112とが縦列接続された回路であり、MTCMOS111、MTCMOS112は、それぞれ、MTCMOS110と同様に構成され、MTCMOS111内の論理回路群L1に含まれる論理ゲートG1の出力端子o1が、MTCMOS112内の論理回路群L2に含まれる論理ゲートG2の入力端子i2に接続されている。

【0016】MTCMOS111は、高閾値電圧のトランジスタQA1と論理回路群L1とを有する。論理回路群L1は、疑似電源線VA1に接続され、疑似電源線VA1と実電源線V1との間に、スリープ制御用の高閾値電圧のトランジスタQA1が接続され、高閾値電圧のトランジスタQA1のゲート端子には、スリープ制御線SL1が接続されている。

【0017】また、MTCMOS112は、高閾値電圧のトランジスタQA2と論理回路群L2とを有する。論理回路群L2は、疑似電源線VA2に接続され、疑似電源線VA2と実電源線V2との間には、スリープ制御用の高閾値電圧のトランジスタQA2が接続され、高閾値電圧のトランジスタQA2のゲート端子に、スリープ制御線SL2が接続されている。

【0018】ここで、MTCMOS110aにおいて、スリープ制御用の高閾値電圧のトランジスタQA1を介して、電力供給を受ける論理回路群L1が、アクティブ状態からスリープ状態に移行し、一方、スリープ制御用

の高閾値電圧のトランジスタQA2を介して、電力供給を受ける論理回路群L2が、アクティブ状態のままである場合の動作を考える。

【0019】論理回路群L1をスリープ状態に移行させる際に、疑似電源線VAの電位は、非常にゆっくりと低電位電源V2の電位へ下降する。この疑似電源線VAの電位がゆっくりと低下するのに伴い、論理ゲートG1の出力端子o1の電位もゆっくりと下降する。ここで、論理ゲートG1の出力端子o1は、論理ゲートG2の入力端子i2に接続されているので、論理ゲートG2の入力電位が非常にゆっくりと変化していることになる。

【0020】ここで、N-chトランジスタの閾値電圧の絶対値を V_{tn} とし、P-chトランジスタの閾値電圧の絶対値を V_{tp} とすると、CMOS回路では、入力電位が絶対値 V_{tn} よりも大きければ、N-chトランジスタが導通し、また、(実電源線V1の電圧 $-V_{tp}$)よりも入力電位が低ければ、P-chトランジスタが導通する。したがって、図10に網掛けで示すように、論理ゲートG2を構成するCMOSゲートのP-chトランジスタもN-chトランジスタも、導通状態になる期間が非常に長くなり、実電源線V1→論理ゲートG2→低電位電源V2という経路で非常に大きな貫通電流が流れる続ける。したがって、集積回路全体での消費電流が増大するという問題がある。

【0021】図12は、従来のMTCMOS回路120を示す回路図である。

【0022】MTCMOS回路120は、図9に示すMTCMOS回路110において、P-ch高閾値電圧のトランジスタQAと疑似電源線VAとを削除し、低電位側電源V2側に、スリープ制御用のN-ch高閾値電圧トランジスタQBと、疑似電源線VBとを挿入した回路である。

【0023】MTCMOS回路120において、ゲート電極に接続されたスリープ制御線SLの制御によって、スリープ制御を実現する。つまり、論理回路群L1がアクティブ時からスリープ時に移行する際には、スリープ制御線SLが低電位になり、N-chトランジスタQBが遮断状態になる。論理回路群L1のアクティブ時には、低電位電源V2のレベルであった疑似電源線VBの電位は、論理回路群L1のリーク電流によって、非常にゆっくりとした速度で、実電源線V1のレベルに充電される。このために、従来のMTCMOS回路110における上記説明と同様に、集積回路全体での消費電流が増大するという問題が生じる。

【0024】図13は、従来のMTCMOS回路130を示す回路図である。

【0025】MTCMOS回路130は、MTCMOS回路110において、論理回路群を構成するトランジスタQ1、Q2の閾値電圧と、電源供給/供給停止を制御するスリープ制御用の高閾値電圧のトランジスタQAの

閾値電圧とを、同じ閾値電圧にした回路である。

【0026】MTCMOS回路130において、論理回路群L1の通常動作時には、スリープ制御線SLを低電位に設定し、高閾値電圧のトランジスタQAが導通するので、疑似電源線VAが高電位側実電源線V1と同等に働く。したがって、この疑似電源線VAと低電位側電源V2との間に接続とれている論理ゲートG1等で構成されている論理回路群L1は、所望の論理動作を実行できる。

【0027】一方、論理回路群L1が動作を行う必要のないスリープ期間においては、スリープ制御線SLを高電位にし、スリープ制御トランジスタQAを遮断状態にする。CMOS回路においては、非動作時にも、高電位電源から低電位電源に向かってリーク電流が流れ、このリーク電流によって電力が消費される。このリーク電流量は、スリープ制御トランジスタQAの幅に依存する。

【0028】ここで、スリープ制御トランジスタQAの幅を小さく設定することによって、リーク電流を小さく抑えることができる。MTCMOS回路110のように、高い閾値電圧を用いる程、リーク電流低減能力があり、消費電力の低減を期待できる。しかし、MTCMOS回路130においては、電源供給停止時に、疑似電源線VAの電位が、実電源線V1レベルから低電位電源V2レベルへゆっくりと変化するので、MTCMOS回路110についての上記説明と同様に、集積回路全体での消費電流が増大するという問題が生じる。

【0029】本発明は、1つ目の論理回路の出力端が2つ目の論理回路の入力端に接続され、両論理回路の電源供給が制御され、上記1つ目の論理回路への電源供給が停止しされ、上記2つ目の論理回路に電源が供給されているときに、上記2つ目の論理回路における消費電力を少なくすることができる論理回路を提供することを目的とするものである。

【0030】

【課題を解決するための手段】本発明は、トランジスタによって構成されている論理回路群への電流供給（アクティブ）期間から、電流供給停止（スリープ）期間に移行する際に、疑似電源線の電位を急速に変化させる（疑似電源線に充電されている電荷を強制的に放電させ、または疑似電源線を強制的に充電させる）ことによって、論理回路群に含まれている論理ゲートの出力電位を高速に変化させるものである。

【0031】

【発明の実施の形態および実施例】図1は、本発明の第1の実施例である論理回路10を示す回路図である。

【0032】論理回路10は、実電源線V1と、低電位電源V2と、疑似電源線VAと、論理回路群L1と、スイッチSW1、SW2とを有する回路である。

【0033】実電源線V1、低電位電源V2は、それぞれ高電位側、低電位側の実電源である。論理回路群L1

は、電源供給を制御される論理回路群であり、高電位側の電源端PAと、低電位側の電源端PBとを有するものである。スイッチSW1は、論理回路群L1への電源供給を制御するスイッチであり、実電源線V1と高電位側の電源端PAとの間に接続されている。スイッチSW2は、論理回路群L1の高電位側の電源端PAと低電位側の電源端PBとの間に接続され、つまり、疑似電源線VAと低電位電源V2との間に接続されているスイッチである。スリープ制御線SLには、論理回路群L1への電源供給を制御するスリープ制御信号が送られ、制御線SLN'には、スイッチ回路SW2を制御する信号が送られる。

【0034】次に、上記実施例において、論理回路群L1が所望の論理回路動作を行う期間（アクティブ状態）について説明する。この場合、スリープ制御線SLを経由したスリープ制御信号によってスイッチSW1が導通状態に設定され、高電位側の電源端PAは、疑似的に実電源線V1として振る舞い、論理回路群L1に電力が供給され、論理回路群L1が所望の論理動作を実行できる。このときに、スリープ制御線SLN'のスリープ制御信号によってスイッチSW2が遮断状態にされる。

【0035】一方、論理回路群L1が論理動作を行わない期間（スリープ状態）、スリープ制御線SLを経由したスリープ制御信号によって、スイッチSW1が非導通状態に設定され、論理回路群L1に電力が供給されない。このときに、スリープ制御線SLN'によってスイッチSW2が導通され、論理回路群L1がスリープ状態に入った直後から論理回路群L1の高電位側の電源端PAに貯まった電荷が、スイッチSW2を介して放電されるので、高電位側の電源端PAの電位が低電位電源V2のレベルに速やかに低下し、この低下に伴って、論理回路群L1内の論理ゲートの出力電位も低電位電源V2のレベルに速やかに到達する。

【0036】図2は、本発明の他の実施例である論理回路20を示す図である。

【0037】論理回路20は、実電源線V1と、低電位電源V2と、疑似電源線VAと、論理回路群L1と、高閾値電圧のPchMosスリープ制御トランジスタQAと、NchトランジスタQdとを有する回路である。

【0038】実電源線V1、低電位電源V2は、それぞれ高電位側、低電位側の実電源である。論理回路群L1は、電源供給を制御される論理回路群であり、複数の論理ゲートG1を有するものである。

【0039】高閾値電圧のスリープ制御用のPchMosトランジスタQAは、論理回路群L1への電源供給を制御するスイッチであり、実電源線V1と論理回路群L1との間に接続されている。NchトランジスタQdは、論理回路群L1と並列に接続され、つまり、疑似電源線VAと低電位電源V2との間に接続されている。ス

スリープ制御線SLは、論理回路群L1への電源供給を制御するスリープ制御信号を送る線である。制御線SLN'は、N-chトランジスタQdを制御する信号を送る線である。

【0040】論理ゲートG1は、P-chMOSTトランジスタQ1と、N-chMOSTトランジスタQ2等によって構成される論理ゲートであり、各論理ゲートG1の高電位側が共通化され、各論理ゲートG1の低電位側の電源端子が共通化されている。

【0041】次に、論理回路20の動作について説明する。

【0042】論理回路群L1の通常動作時（アクティブ時）には、スリープ制御線SLを低電位に設定し、高閾値電圧のトランジスタQAが導通し、疑似電源線VAを電源線と見なすことができるので、疑似電源線VAと低電位側電源V2との間に接続されている論理回路群L1が所望の論理動作を実行できる。一方、論理回路群L1が動作を行う必要のない期間（スリープ時）においては、スリープ制御線SLを高電位にし、高閾値のスリープ制御トランジスタQAを遮断状態（スリープ状態）にする。リーク電流量は、リーク電流経路となるトランジスタの総幅に依存するので、上記実施例では、高閾値電圧のトランジスタQAの幅によってリーク電流量が決まる。したがって、スリープ制御トランジスタQAのゲート幅を小さく設定すれば、リーク電流を小さく抑えることができる。

【0043】論理回路20において、論理回路群L1がアクティブ状態からスリープ状態に移行する際、スリープ制御線SLN'の電位を高レベルにし、N-chトランジスタQdを導通させる。これによって、アクティブ時に疑似電源線VAに貯まった電荷が、N-chトランジスタQdを介して、放電されるので、疑似電源線VAの電位が低電位電源V2のレベルに速やかに低下し、これに伴って、論理回路群L1内の論理ゲート（たとえば論理ゲートG1）の出力電位も低電位電源V2のレベルに速やかに到達する。

【0044】図3は、本発明の別の実施例である論理回路30を示す図。

【0045】論理回路30は、論理回路20を、低電圧向き回路構成に適用した例であり、従来のMTCMOS回路に適用した例である。

【0046】論理回路30における論理回路群L1は、論理回路の集合であり、低閾値電圧のP-chMOSTトランジスタQ1と、低閾値電圧のN-chMOSTトランジスタQ2と等で構成される論理ゲートG1等の単一または複数の論理回路で構成されている。

【0047】各論理回路群L1の高電位側は共通化され、各論理回路群L1の低電位側の電源端子は共通化されている。低電位側の電源端子は、低電位側電源V2に接続されて、高電位側の電源端は、疑似電源線VAに接

続されている。この疑似電源線VAと実電源線V1との間には、上記低閾値電圧よりも高い高閾値電圧のP-chMOSスリープ制御トランジスタQAが接続されている。スリープ制御トランジスタQAのゲート端子は、スリープ制御線SLに接続される。

【0048】論理回路30において、論理回路群L1とスリープ制御トランジスタQAとの動作は、上記実施例の動作と同様である。論理回路30において、疑似電源線VAと低電位側の低電位電源V2との間に、N-chトランジスタQdが接続され、そのゲート端がスリープ制御線SLN'の制御信号によって制御されている点が、従来例とは異なる。

【0049】論理回路30において、論理回路群L1がアクティブ状態からスリープ状態に移行する際、スリープ制御線SLN'の電位を高レベルにし、N-chトランジスタQdを導通させる。これによって、アクティブ時に疑似電源線VAに貯まった電荷が、N-chトランジスタQdを通して放電されるので、疑似電源線VAの電位が速やかに低電位電源V2のレベルに低下し、これに伴って、論理回路群L1内の論理ゲート（たとえば論理ゲートG1）の出力部電位も低電位電源V2のレベルに速やかに到達する。

【0050】図4は、論理回路31と論理回路32とを縦続接続した論理回路30aを示す図である。論理回路31、論理回路32のそれぞれは、論理回路30と同様の回路である。

【0051】論理回路31は、高閾値電圧のトランジスタQA1と論理回路群L1とを有する。論理回路群L1は、疑似電源線VA1に接続され、疑似電源線VA1と実電源線V1（VDD）との間に、スリープ制御用の高閾値電圧のトランジスタQA1が接続され、高閾値電圧のトランジスタQA1のゲート端子には、スリープ制御端子SL1が接続されている。さらに、論理回路群L1と並列にN-chトランジスタQd1が接続されている。

【0052】つまり、疑似電源線VA1と低電位電源V2（GND）との間に、N-chトランジスタQd1が接続され、このN-chトランジスタQd1のゲート端子にスリープ制御線SLN'1が接続されている。そして、高閾値電圧のトランジスタQA1が開いている状態では、N-chトランジスタQd1が閉じているように制御され、また、高閾値電圧のトランジスタQA1が閉じている状態では、N-chトランジスタQd1が開いているように制御される。すなわち、トランジスタによって構成されている論理回路群への電流供給（アクティブ）期間から、電流供給停止（スリープ）期間に移行する際に、疑似電源線VA1に充電されている電荷を強制的に放電させ、疑似電源線VA1の電位を素早く変化させ、論理ゲートG1の出力電位を高速に変化させるものである。

【0053】また、論理回路32は、高閾値電圧のトランジスタQA2と論理回路群L2とを有する。論理回路群L2は、疑似電源線VA2に接続され、疑似電源線VA2と実電源線V1(VDD)との間には、スリープ制御用の高閾値電圧のトランジスタQA2が接続され、高閾値電圧のトランジスタQA2のゲート端子に、スリープ制御線SL2が接続されている。さらに、論理回路群L2と並列にN-cthトランジスタQd2が接続されている。

【0054】つまり、疑似電源線VA2と低電位電源V2(GND)との間に、N-cthトランジスタQd2が接続され、このN-cthトランジスタQd2のゲート端子にスリープ制御線SLN'2が接続されている。そして、高閾値電圧のトランジスタQA2が開いている状態では、N-cthトランジスタQd2が閉じているように制御され、また、高閾値電圧のトランジスタQA2が閉じて状態では、N-cthトランジスタQd2が開いているように制御される。すなわち、トランジスタによって構成されている論理回路群への電流供給(アクティブ)期間から、電流供給停止(スリープ)期間に移行する際に、疑似電源線VA2に充電されている電荷を強制的に放電させ、疑似電源線VA2の電位を素早く変化させ、論理ゲートG2の出力電位を高速に変化させるものである。

【0055】また、論理回路群L1内の論理ゲートG1の出力端子o1が、論理回路群L2内の論理ゲートG2の入力端子i2に接続されている。

【0056】次に、上記実施例の動作について説明する。

【0057】ここで、図4に示す回路において、スリープ制御用の高閾値電圧のトランジスタQA1を介して、電力供給を受ける論理回路群L1が、アクティブ状態からスリープ状態に移行し、一方、スリープ制御用の高閾値電圧のトランジスタQA2を介して、電力供給を受ける論理回路群L2が、アクティブ状態のままである場合について考える。

【0058】図5は、上記各実施例における疑似電源線VAの電位変化を示す図である。

【0059】図5に示すように、論理回路群L1のスリープ開始時には、N-cthトランジスタQd1が導通するので、疑似電源線VA1の電位は、低電位電源V2のレベルに素早く下降する。疑似電源線VA1の電位のこの素早い下降に伴って、論理ゲートG1の出力端子o1の電位も低電位電源V2の電位に素早く下降する。

【0060】ここで、論理ゲートG1の出力端子o1は、論理ゲートG2の入力端子i2に接続されているので、アクティブ状態である論理回路群L2内の論理ゲートG2からみれば、出力端子o1の素早い変化は、入力端子i2の電位が素早く変化したことになる。N-cthトランジスタの閾値電圧の絶対値を V_{tn} とすると、C

MOS回路では、入力電位が V_{tn} よりも大きければ、N-cthトランジスタが導通する。また、P-cthトランジスタの閾値電圧の絶対値を V_{tp} とすると、入力電位が(実電源線V1の電圧 $-V_{tp}$)よりも低ければ、P-cthトランジスタが導通する。

【0061】したがって、図5の網掛け部として示すように、論理ゲートG2を構成するCMOS回路のP-cthトランジスタも、N-cthトランジスタも、導通状態になる期間は存在するが、上記実施例における導通時間は、図11に示す従来例における導通時間に比べて、非常に短くなる。この結果、実電源線V1→論理ゲートG2→低電位電源V2という経路で貫通電流が流れても、その貫通電流が少ないので、集積回路全体における消費電流を減少させることができる。

【0062】図6は、本発明の他の実施例である論理回路40を示す回路図である。

【0063】論理回路40は、論理回路10において、電源供給/供給停止用のスイッチSW1が、低電位電源V2に接続されている回路である。

【0064】この場合、疑似電源線VBと高電位側の実電源線V1との間に、スイッチSW2が設けられ、信号スリープ制御線SLN'の制御信号によって、スイッチSW2が制御される。

【0065】論理回路40において、論理回路群L1がアクティブ時からスリープ時に移行するときに、スリープ制御線SLを経由したスリープ制御信号によって、スイッチSW1が遮断状態になり、この際に、スリープ制御線SLN'によってスイッチSW2が導通される。論理回路群L1のアクティブ時には、論理回路L1の低電位側の電源端PBの電位が低電位電源V2のレベルであったが、その低電位側の電源端PBの電位が、実電源線V1のレベルに急速に充電され、これに伴って、論理回路群L1内の論理ゲートの出力電位も、高電位の実電源線V1に素早く到達する。

【0066】したがって、論理回路40においても、1つ目の論理回路の出力端が2つ目の論理回路の入力端に接続され、両論理回路の電源供給が制御され、1つ目の論理回路への電源供給が停止しされ、2つ目の論理回路に電源が供給されているときに、2つ目の論理回路における消費電力を少なくすることができる。

【0067】図7は、本発明の別の実施例である論理回路50を示す回路図である。

【0068】論理回路50は、論理回路20において、電源供給/供給停止用のスイッチとして、高電位実電源線V1と疑似電源線VAとの間に設けられているP-cthトランジスタQAの代わりに、疑似電源線VBと低電位電源V2との間にN-cthトランジスタQBが設けられ、論理回路L1と並列に接続されているN-cthトランジスタQdの代わりに、P-cthトランジスタQdpが設けられている。つまり、P-cthトランジスタQd

pは、高電位電源線V1と疑似電源線VBとの間に接続されているものである。P-chトランジスタQdpのゲート端には、スリープ制御線SLN'が接続されている。

【0069】論理ゲートG1は、複数の論理回路で構成され、P-chMOSトランジスタQ1、N-chMOSトランジスタQ2等によって構成され、論理ゲートG1等の単一または複数の論理ゲートによって、論理回路群L1が構成されている。この論理回路G1の高電位側、低電位側の電源端子は、それぞれ共通化され、高電位側の電源端は、高電位側実電源線V1に接続され、低電位側の電源端は、疑似電源線VBに接続されている。

【0070】次に、論理回路50の動作について説明する。

【0071】まず、論理回路群L1の通常動作（アクティブ）時には、スリープ制御線SLを高電位に設定する。これによって、PchMOSトランジスタQBが導通し、疑似電源線VBを電源線V2と見なすことができる。この疑似電源VBと高電位実電源線V1との間に接続されている論理回路群L1が、所望の論理動作を実行できる。

【0072】一方、論理回路群L1が動作を行う必要のない期間においては、スリープ制御線SLを低電位にし、PchMOSトランジスタQBを遮断状態（スリープ状態）にする。リーク電流量は、リーク電流経路となるトランジスタの総幅に依存するので、論理回路50では、PchMOSトランジスタQBの幅によって、リーク電流量が決まる。したがって、PchMOSトランジスタQBのゲート幅を小さく設定すれば、リーク電流を小さく抑えることができる。

【0073】論理回路群L1がアクティブ状態からスリープ状態に移行する際に、スリープ制御線SLN'の電位が低レベルになり、N-chトランジスタQdpが導通する。アクティブ時に低電位電源V1の電位であった疑似電源線VBが、N-chトランジスタQdpを通して充電されるので、疑似電源線VBの電位は実電源線V1のレベルに速やかに到達し、これに伴って、論理回路群L1内の論理ゲート（たとえば論理ゲートG1）の出力電位も実電源線V1のレベルに速やかに到達する。

【0074】図8は、本発明の他の実施例である論理回路60を示す回路図である。

【0075】論理回路60は、論理回路30において、電源供給／供給停止用のスイッチとして、高電位実電源線V1と疑似電源線VAとの間に設けられている高閾値電圧のP-chトランジスタQAの代わりに、疑似電源線VBと低電位電源V2との間に高閾値電圧のN-chトランジスタQBが設けられ、論理回路L1と並列に接続されているN-chトランジスタQdの代わりに、P-chトランジスタQdpが設けられている。つまり、P-chトランジスタQdpは、高電位実電源線V1と

疑似電源線VBとの間に接続され、P-chトランジスタQdpのゲート端には、スリープ制御線SLN'が接続されている。

【0076】なお、論理回路20、30において、トランジスタQdは、いずれもN-chトランジスタで示されているが、この代わりに、CMOS型のスイッチを用いてもよく、この場合、上記と同様の動作、効果を得ることができる。また、これと同様に、論理回路50、60において、トランジスタQdpは、いずれもP-chトランジスタで示されているが、この代わりに、CMOS型のスイッチを用いてもよく、この場合、上記と同様の動作、効果を得ることができる。

【0077】実施例においては、電源供給を停止する際に、電源供給が停止される論理回路群L1における疑似電源線VAの遷移時間を短縮することによって、論理回路群L1内の論理ゲートG1の出力電位の変化の完了を早め、論理ゲートG1の出力端が接続され、かつ電源供給状態にある論理ゲートG2において消費される電力量を小さくすることができる。このようにして、集積回路の消費電力が小さくなれば、発生する熱量も小さくなり、その集積回路を納めるパッケージもより安価なものを使用することができ、また、放熱装置等も不要になり、経済効果も大きい。

【0078】また、上記実施例は、トランジスタによって構成されている論理回路群と電源線との間に、高閾値電圧トランジスタと疑似電源線とが設けられている論理回路において、論理回路群への電流供給期間から、電流供給停止期間に移行する際に、疑似電源線の電位を急速に変化させる（疑似電源線に充電されている電荷を強制的に放電させ、または疑似電源線を強制的に充電させる）論理回路である。

【0079】また、上記実施例は、第1のレベルを具備する第1の電源と、トランジスタによって構成されている論理回路群と、第1の電源と論理回路群の第1の電源端との間に接続されている第1のスイッチと、論理回路群の第2の電源端に接続され、第2のレベルを具備する第2の電源と、論理回路群と並列に接続されている第2のスイッチとを有する論理回路である。この場合、第1のスイッチが開いている状態では、第2のスイッチが閉じ、第1のスイッチが閉じている状態では、第2のスイッチが開くように制御され、第1のスイッチは、第1のトランジスタで構成され、第2のスイッチは、第2のトランジスタで構成されている。さらに、第1のトランジスタは、高閾値電圧のトランジスタであり、第2のトランジスタと論理回路群とは、第1のトランジスタの閾値電圧よりも低い閾値電圧のトランジスタで構成されている。

【0080】

【発明の効果】本発明によれば、1つ目の論理回路の出力端が2つ目の論理回路の入力端に接続され、両論理回

路の電源供給が制御され、疑似的な電源線の電荷を放電（または充電）させる回路を設け、論理回路に電源が供給されない期間には、疑似的な電源線上に貯まった電荷を急速に放電（または充電）することによって、電源供給が停止された論理回路の出力電位を低電位電源のレベルに素早く確定することができるので、上記1つ目の論理回路への電源供給を停止し、上記2つ目の論理回路に電源が供給されているときに、上記2つ目の論理回路における消費電力を少なくすることができるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の一実施例である論理回路10を示す回路図である。

【図2】本発明の他の実施例である論理回路20を示す回路図である。

【図3】本発明の別の実施例である論理回路30を示す回路図。

【図4】論理回路31と論理回路32とが縦続接続されている論理回路30aを示す回路図である。

【図5】上記各実施例における疑似電源線VAの電位変化を示す図である。

【図6】本発明の他の実施例である論理回路40を示す回路図である。

【図7】本発明の別の実施例である論理回路50を示す回路図である。

【図8】本発明の他の実施例である論理回路60を示す

回路図である。

【図9】従来のMTCMOS回路110を示す回路図である。

【図10】MTCMOS回路110において、論理回路L1がアクティブ状態からスリープ状態に移行するときにおける疑似電源線VAの電位変化を示す図である。

【図11】従来のMTCMOS110aを示す図である。

【図12】従来のMTCMOS回路120を示す回路図である。

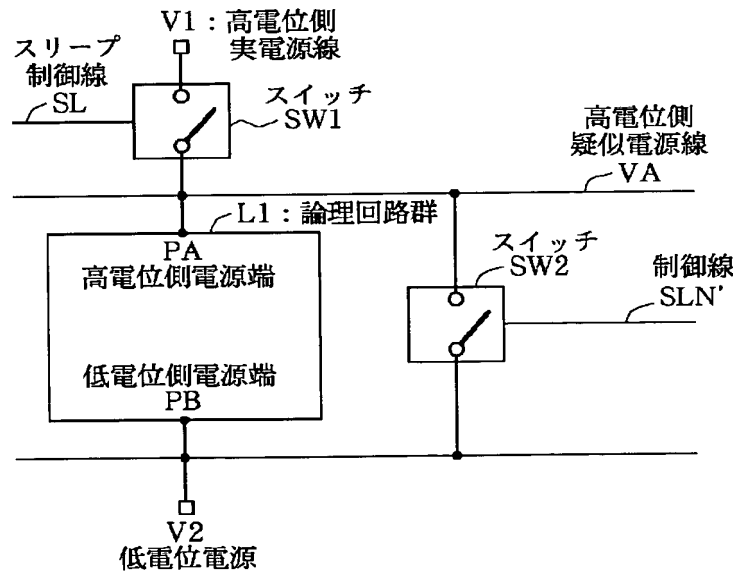
【図13】従来のMTCMOS回路130を示す回路図である。

【符号の説明】

10、20、30、40、50、60…論理回路、
L1、L2…論理回路群、
G1、G2…論理回路、
SW1、SW2…スイッチ、
SL、SL1、SL2、SLN'…スリープ制御線、
V1…高電位側実電源線、
VA、VA1、VA2…高電位側疑似電源線、
VB…低位側疑似電源線、
V2…低電位電源、
QA、QA1、QA2、QB…スリープ制御用高閾値電圧の電界効果トランジスタ、
o1…信号出力端子、
i2…信号入力端子。

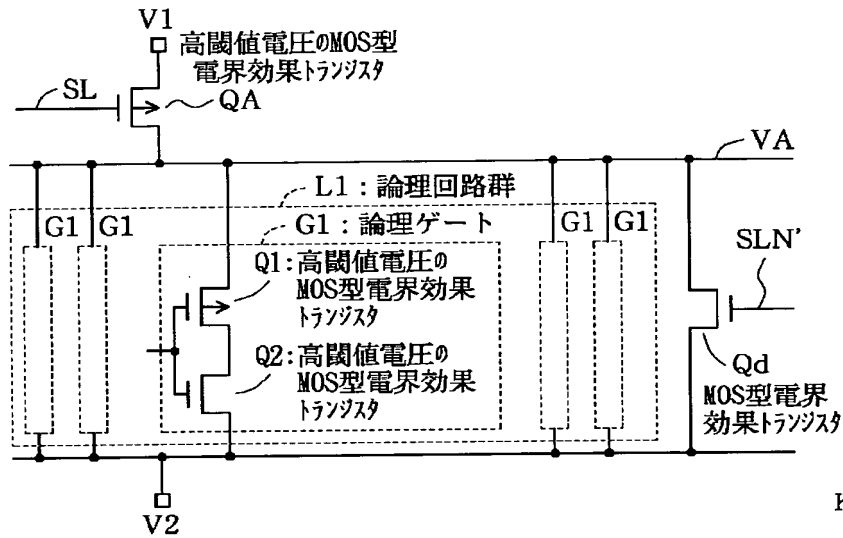
【図1】

10：論理回路



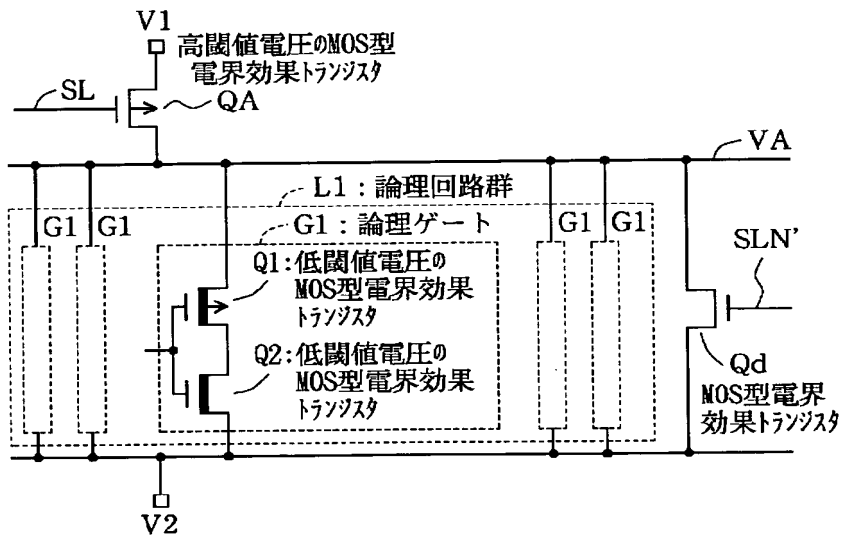
【図2】

20: 論理回路



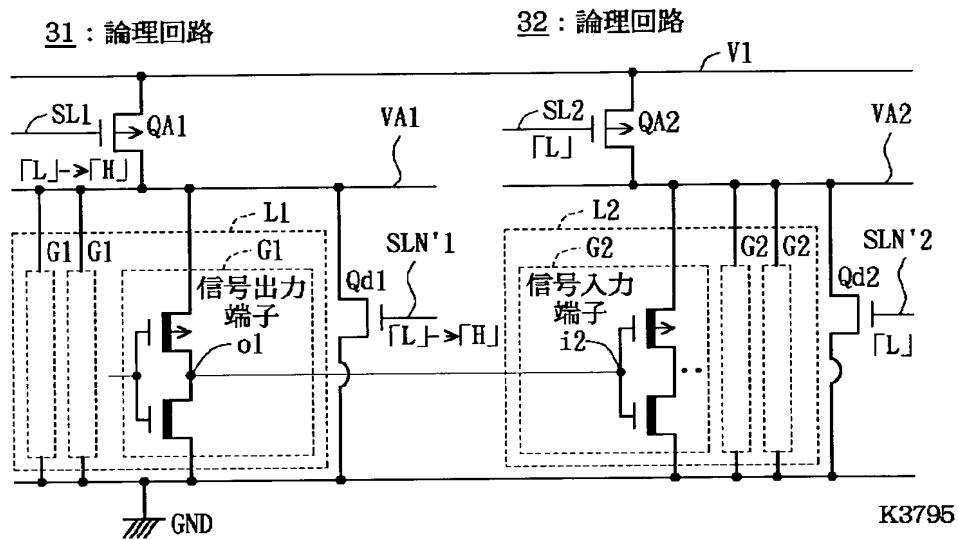
【図3】

30: 論理回路



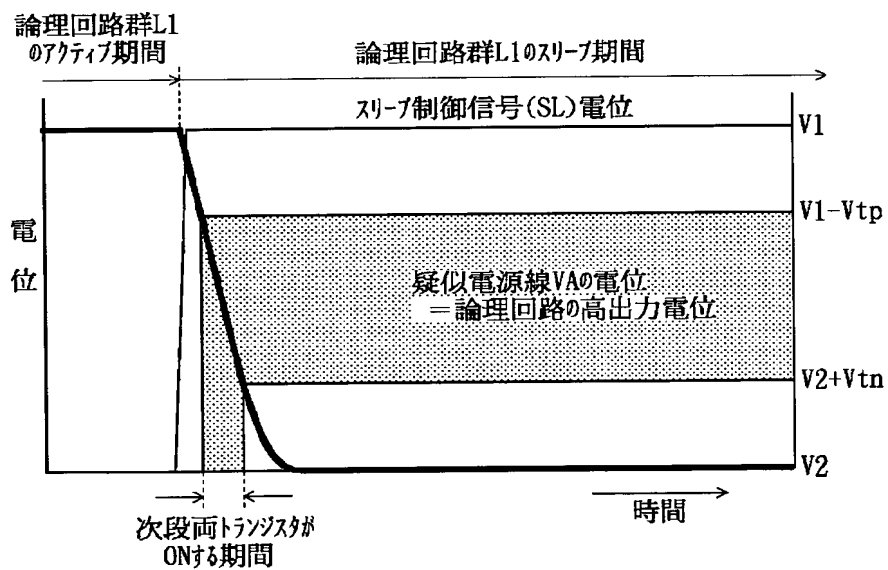
【図4】

30a : 論理回路



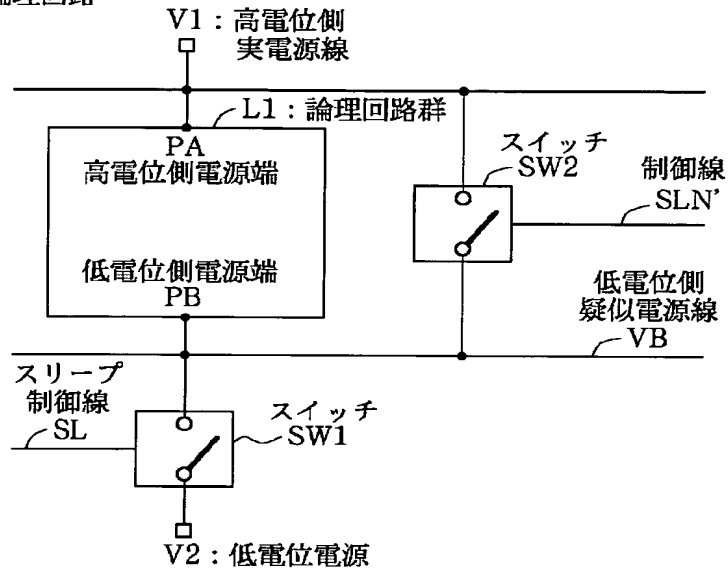
【図5】

各実施例における疑似電源線VAの電位変化



【図6】

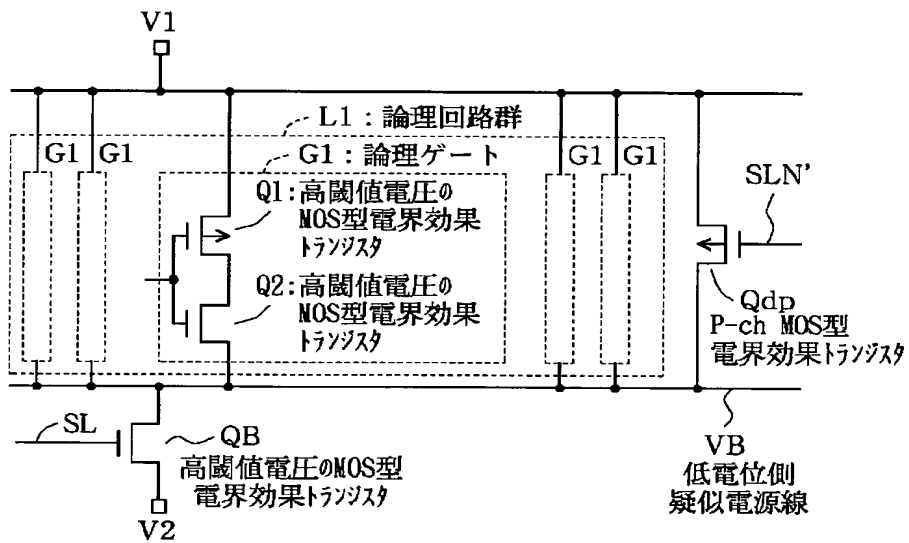
40 : 論理回路



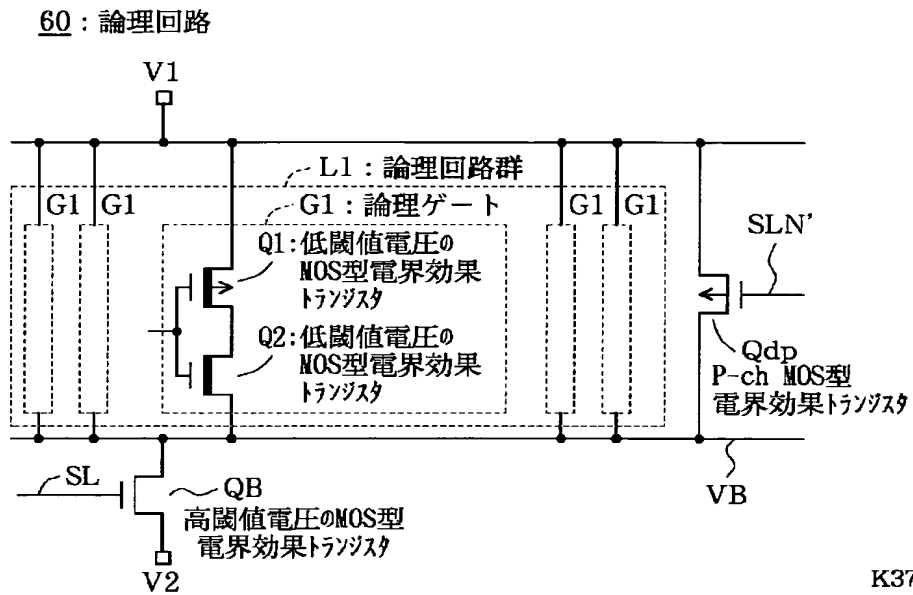
K3795

【図7】

50 : 論理回路

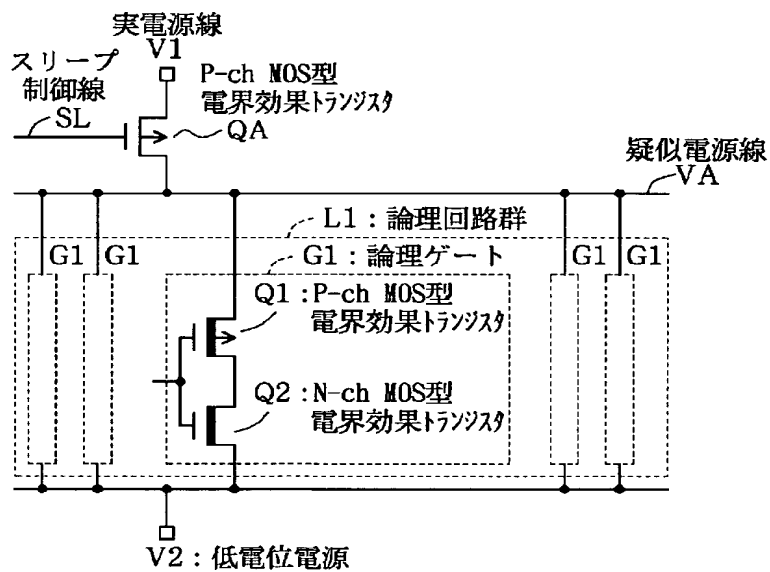


【図8】



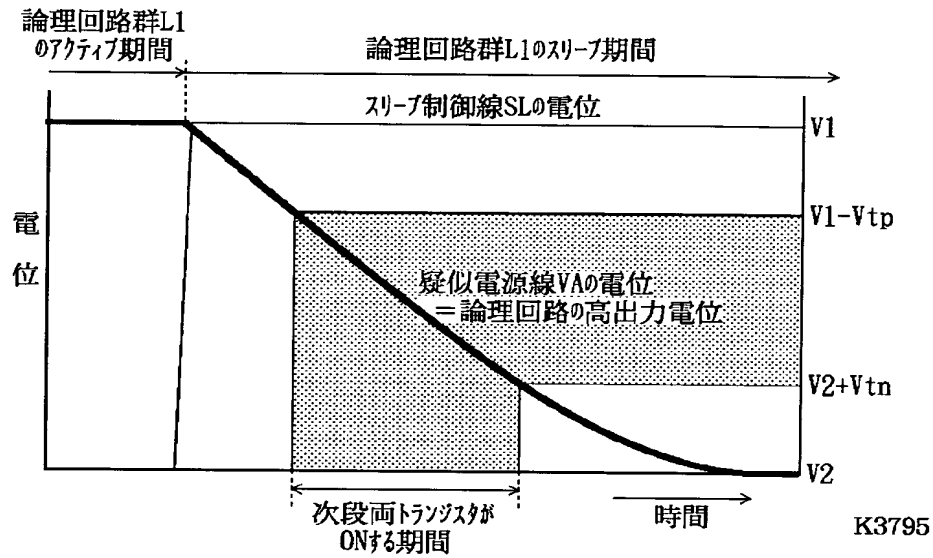
【図9】

110 : 従来の MTCMOS 回路



【図10】

MTCMOS110における疑似電源線VAの電位変化

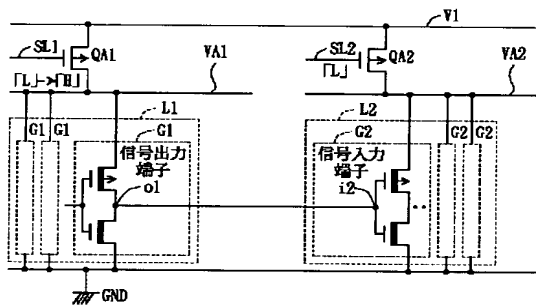


【図11】

110a: MTCMOS

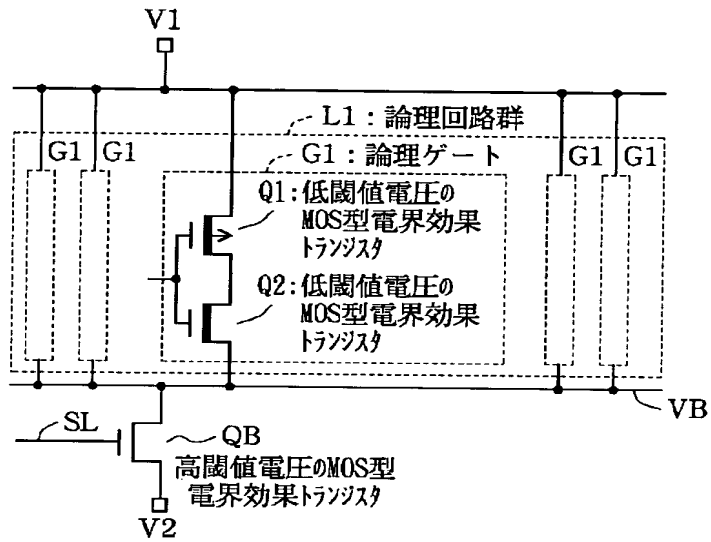
111: MTCMOS

112: MTCMOS



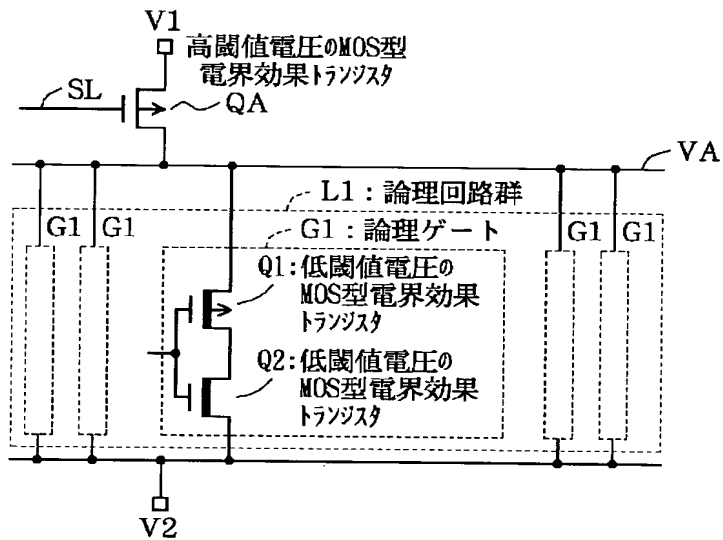
【図 1 2】

120 : 従来の MTCMOS 回路



【図 1 3】

130 : 従来の MTCMOS 回路



K3795